

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
11. August 2005 (11.08.2005)

PCT

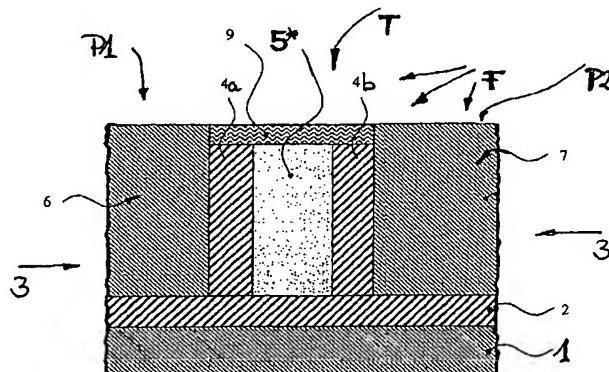
(10) Internationale Veröffentlichungsnummer  
**WO 2005/074021 A1**

- (51) Internationale Patentklassifikation<sup>7</sup>: **H01L 21/762, 21/763**
- (21) Internationales Aktenzeichen: **PCT/DE2005/000145**
- (22) Internationales Anmelddatum:  
31. Januar 2005 (31.01.2005)
- (25) Einreichungssprache: **Deutsch**
- (26) Veröffentlichungssprache: **Deutsch**
- (30) Angaben zur Priorität:  
10 2004 004 942.4 31. Januar 2004 (31.01.2004) DE
- (71) Anmelder (*für alle Bestimmungsstaaten mit Ausnahme von US*): **X-FAB SEMICONDUCTOR FOUNDRIES AG [DE/DE]; Haarbergstrasse 67, 99097 Erfurt (DE).**
- (72) Erfinder; und
- (75) Erfinder/Anmelder (*nur für US*): **LERNER, Ralf [DE/DE]; Josef-Albers-Strasse 20, 99085 Erfurt (DE). ECKOLDT, Uwe [DE/DE]; Im Dorfe 60, 99448 Hohenfelden (DE).**
- (74) Anwälte: **LEONHARD OLGEMOELLER FRICKE usw.; Postfach 10 09 62, 80083 Muenchen (DE).**
- (81) Bestimmungsstaaten (*soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart*): **AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG,**

*[Fortsetzung auf der nächsten Seite]*

(54) Title: PASSIVATION OF DEEP ISOLATING SEPARATING TRENCHES WITH SUNK COVERING LAYERS

(54) Bezeichnung: PASSIVIERUNG TIEFER ISOLIERENDER TRENNGRAEBEN MIT VERSENKTEN ABDECKSCHLICHTEN



**WO 2005/074021 A1**

(57) Abstract: The invention relates to the production of isolating trenches in SOI semiconductor wafers, which eliminates protruding coverings of the isolating trenches, provided in the form of a method for producing a process wafer for switching circuits in which low-voltage elements and high-voltage elements are integrated. Chip areas (6, 7) of different potentials are separated from one another by dielectrically isolating regions (T'). After producing two vertical isolating layers (4a, 4b) and a horizontal isolating layer (4a, 4b), the following is carried out: Filling the separating trench with a filling substance (5) down to a lowest depression (5c) of a filling substance layer (5', 5), this layer being formed on the surface, whereby the top surface of said filling substance layer (5) is higher than the planar surface formed by the isolating layers (4); effecting a first planarizing of the filling substance layer (5); removing a portion of the filling substance located in the trench interior (h7); removing a portion of the isolating layers (4a, 4b, 4a, 4b), and; over-removing a portion of the filling layer (5\*) in order to obtain an even height level (h10) of the layers (4; 4a, 4b; 5) in the separating trench; depositing a covering layer that projects above the level of the planar surface (F) and extends downward to the approximately even height level in the trench, and; additional planarizing of the cover (9).

(57) Zusammenfassung: Erzeugung von Isoliergräben in SOI-Halbleiterscheiben, welche hinausragende Abdeckungen der Isoliergräben beseitigt, als ein Verfahren zur Herstellung einer Prozess-Scheibe für Schaltkreise, in denen Niederspannungselemente und Hochspannungselemente integriert

*[Fortsetzung auf der nächsten Seite]*



PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM,  
TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM,  
ZW.

- (84) **Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart):** ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

**Erklärung gemäß Regel 4.17:**

- *Erfindererklärung (Regel 4.17 Ziffer iv) nur für US*

**Veröffentlicht:**

- *mit internationalem Recherchenbericht*

*Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.*

---

sind, wobei Chipbereiche (6,7) unterschiedlicher Potentiale durch dielektrisch isolierende Gebiete (T) voneinander getrennt sind. Nach Erzeugung von zwei vertikalen Isolierschichten (4a,4b) und einer horizontalen Isolierschicht (4a,4b) wird folgendes vorgenommen. Füllen des Trenngrabens mit einer Verfüllsubstanz (5) bis eine tiefste Einsenkung (5c) einer an der Oberfläche gebildeten Verfüllsubstanzschicht (5,5'') an ihrer Oberseite über einem Niveau der durch die Isolierschichten (4) gebildeten planaren Oberfläche zu liegen kommt. Erste Planarisierung der Verfüllsubstanzschicht (5). Abtragen eines Stücks der Verfüllsubstanz im Grabeninneren (h7). Abtragen eines Stücks der Isolierschichten (4a,4b,4a,4b) und Überabtragen eines Stücks der Verfüllschicht (5\*), um gleiches Höhenniveau (h10) der Schichten (4;4a,4b;5) im Trenngraben zu erreichen. Abscheidung einer Abdeckschicht, welche über das Niveau der planaren Oberfläche (F) hinausragt und nach unten bis zum annähernd gleichen Höhenniveau im Graben reicht. Weitere Planarisierung der Decke (9).